

LOGIC CIRCUIT

Patent number: JP7022939 (A)

Publication date: 1995-01-24

Inventor(s): SHIOMI TORU; TSUDA NOBUHIRO +

Applicant(s): MITSUBISHI ELECTRIC CORP +

Classification:

- international: **G11C11/409; H03K19/0948;** (IPC1-7): H03K19/0948

- european:

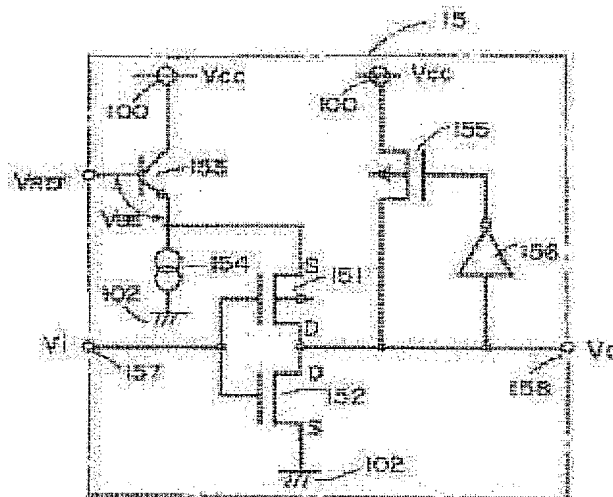
Application number: JP19930165641 19930705

Priority number(s): JP19930165641 19930705

Abstract of JP 7022939 (A)

PURPOSE: To always make the logical threshold value of an input logic circuit constant regardless of the fluctuation of a power supply voltage.

CONSTITUTION: A constant voltage is supplied to the source terminal of a transistor 151 constituting an inverter. The constant voltage is generated based on a reference voltage VREF by a transistor 1533 and a current source 154. Also, a transistor 155 and an inverter 156 are connected with an output terminal 158, and a voltage VREF-VBE level supplied to the output terminal 158 is increased to a power supply voltage VCC level.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-22939

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.⁶

H 0 3 K 19/0948

識別記号

庁内整理番号

F I

技術表示箇所

8321-5 J

H 0 3 K 19/ 094

B

審査請求 未請求 請求項の数6 O L (全 15 頁)

(21)出願番号 特願平5-165641

(22)出願日 平成5年(1993)7月5日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 塩見 徹

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

(72)発明者 津田 信浩

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

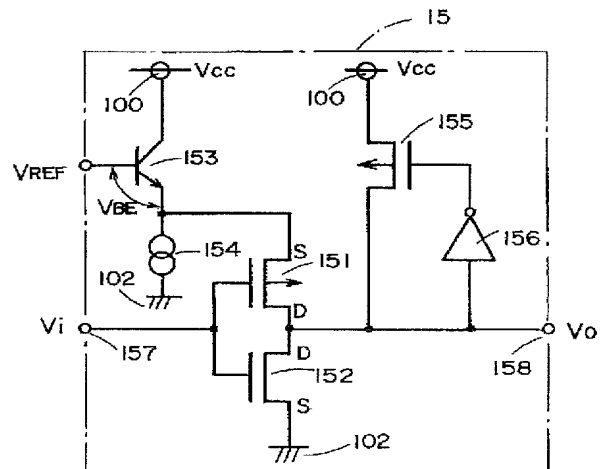
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 論理回路

(57)【要約】

【目的】 入力論理回路の論理しきい値を電源電圧の変動に関係なく常に一定にする。

【構成】 インバータを構成するトランジスタ151のソース端子へ一定電圧を供給する。この一定電圧は基準電圧 V_{REF} に基づいてトランジスタ153および電流源154によって生成される。また、出力端子158にはトランジスタ155およびインバータ156を接続し、出力端子158に供給される電圧 $V_{REF} - V_{BE}$ レベルを電源電圧 V_{CC} レベルまで引き上げるようにした。



【特許請求の範囲】

【請求項1】 第1および第2の電源から供給される互いに異なる2種類の電圧をもとに、外部から入力端子を介して受けた信号の論理レベルに応答して、所定の論理レベルにある信号を出力端子を介して内部へ与える論理回路であって、前記入力端子に接続されるゲート端子、一方導通端子、および前記出力端子に接続される他方導通端子を持つ第1導電チャネル型電界効果トランジスタと、前記入力端子に接続されるゲート端子、前記第2の電源に接続される一方導通端子、および前記出力端子に接続される他方導通端子を持つ第2導電チャネル型電界効果トランジスタと、前記第1の電源から供給される電圧の変動に依存することなく、前記第1導電チャネル型電界効果トランジスタの一方導通端子へ一定電圧を供給する定電圧手段と、前記第1導電チャネル型電界効果トランジスタの他方導通端子のところに前記一定電圧が生成されたときだけ、その電圧レベルを前記第1の電源から供給される電圧レベルまでシフトする電圧補償手段とを備えた、論理回路。

【請求項2】 前記定電圧手段は、一定の基準電圧を受けるベース端子、前記第1の電源に接続されるコレクタ端子、および前記第1導電チャネル型電界効果トランジスタの一方導通端子に接続されるエミッタ端子を持つバイポーラトランジスタと、前記バイポーラトランジスタにエミッタ電流を供給する電流源手段とを含み、かつ前記バイポーラトランジスタのエミッタ端子のところに生成された電圧を前記一定電圧として前記第1導電チャネル型電界効果型トランジスタの一方導通端子へ供給する、請求項1に記載の論理回路。

【請求項3】 第1および第2の電源から供給される互いに異なる2種類の電圧をもとに、1または2以上の入力信号を受け、所定の出力信号を生成する論理回路であって、第1の電源端子、および前記第2の電源に接続される第2の電源端子を含み、かつ前記第1および第2の電源端子から供給される電圧をもとに、前記1または2以上の入力信号を論理演算し、その結果を前記出力信号として出力する論理演算手段と、ゲート端子、前記論理演算手段の第1の電源端子に接続される一方導通端子、および前記第1の電源に接続される他方導通端子を持つ第1導電チャネル型電界効果トランジスタと、前記第1の電源から供給される電圧の変動に依存することなく、前記第1導電チャネル型電界効果トランジスタのゲート端子へ一定電圧を供給する定電圧手段とを備えた、論理回路。

【請求項4】 前記定電圧手段は、

前記第1の電源および前記第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される抵抗手段と、

前記第2の電源および前記第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される容量手段とを含む、請求項3に記載の論理回路。

【請求項5】 第1および第2の電源から供給される互いに異なる2種類の電圧をもとに、1または2以上の入力信号を受け、所定の出力信号を生成する論理回路であって、

第1の電源端子、および第2の電源端子を含み、かつ前記第1および第2の電源端子から供給される電圧をもとに、前記1または2以上の入力信号を論理演算し、その結果を前記出力信号として出力する論理演算手段と、ゲート端子、前記論理演算手段の第1の電源端子に接続される一方導通端子、および前記第1の電源に接続される他方導通端子を持つ第1導電チャネル型電界効果トランジスタと、

前記第1の電源から供給される電圧の変動に依存することなく、前記第1導電チャネル型電界効果トランジスタのゲート端子へ一定電圧を供給する第1の定電圧手段と、

ゲート端子、前記論理演算手段の第2の電源端子に接続される一方導通端子、および前記第2の電源に接続される他方導通端子を持つ第2導電チャネル型電界効果トランジスタと、

前記第2の電源から供給される電圧の変動に依存することなく、前記第2導電チャネル型電界効果トランジスタのゲート端子へ一定電圧を供給する第2の定電圧手段とを備えた、論理回路。

【請求項6】 前記第1の定電圧手段は、前記第1の電源および前記第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される第1の抵抗手段と、

前記第2の電源および前記第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される第1の容量手段とを含み、

前記第2の定電圧手段は、

前記第2の電源および前記第2導電チャネル型電界効果トランジスタのゲート端子の間に接続される第2の抵抗手段と、

前記第1の電源および前記第2導電チャネル型電界効果トランジスタのゲート端子の間に接続される第2の容量手段とを含む、請求項5に記載の論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は論理回路に関し、さらに詳しくは、電源電圧レベルが変動しても常に安定した論理レベルの信号を出力する論理回路に関する。

【0002】

【従来の技術】〔従来例1〕図19は一般的なSRAM (Static Random Access Memory) の概略構成を示すブロック図である。図19を参照して、このSRAMは、メモリセルアレイ1と、ロウアドレスバッファ2と、ロウデコーダ3と、カラムアドレスバッファ4と、カラムデコーダ5と、ビット線負荷6と、書込ドライバ7と、R/W制御回路8と、センスアンプ9と、データ入出力バッファ10とを備える。

【0003】メモリセルアレイ1は、互いに交差するように配置された複数のワード線(図示せず)およびビット線(図示せず)と、それらのワード線およびビット線の各交差点に配置されたメモリセル(図示せず)とを備える。

【0004】次に、このSRAMの動作について簡単に説明する。ロウアドレスバッファ2およびロウデコーダ3によってメモリセルアレイ1の1つのワード線が選択され、かつカラムアドレスバッファ4およびカラムデコーダ5によってメモリセルアレイ1の1つのビット線が選択される。これにより、選択されたワード線およびビット線の交差点に配置された1つのメモリセルが選択される。そして、この選択されたメモリセルにデータが書込まれ、あるいはそのメモリセルに蓄えられているデータが読出される。

【0005】データの書込みにおいては、まずR/W制御回路8に入力されるライトイネーブル信号/WEおよびチップセレクト信号/CSがともにLレベルにされる。次いで、書込むべき入力データDQが入出力ピン11に与えられ、さらにデータ入力出力バッファ10およびR/W制御回路8を介して上記選択されたメモリセルに格納される。

【0006】一方、データの読出しにおいては、上記選択されたメモリセルに蓄えられているデータがセンスアンプ9によって検出され、かつ増幅され、さらにデータ入出力バッファ10を介して入出力ピン11から取出される。

【0007】図20は図19に示したロウアドレスバッファ2またはカラムアドレスバッファ4の一部を示す具体的な回路図である。

【0008】図20を参照して、このアドレスバッファ2または4は、その初段に入力論理回路12を備える。入力論理回路12は、エンハンスメント型のPチャネルMOSトランジスタ121およびNチャネルMOSトランジスタ122から構成される相補型(CMOS)インバータと、このインバータを活性化するためのPチャネルMOSトランジスタ123とを備える。

【0009】これらCMOSインバータおよびPチャネルMOSトランジスタ123は、電源100およびグランド102の間に直列に接続される。

【0010】この入力論理回路12は、外部から受けたTTLレベルの信号ViをCMOSレベルに変換して内

部へ与えるTTLインターフェースである。

【0011】一般にTTLレベルの場合、Hレベルは2.2Vに対応し、Lレベルは0.8Vに対応する。一方CMOSレベルの場合、Hレベルは5Vに対応し、Lレベルは0Vに対応する。したがって、TTLレベルはCMOSレベルに比べて、その振幅が小さく、しかもHレベルに対応する電圧が低い。

【0012】そのため、入力論理回路12の論理しきい値は、2.2Vおよび0.8Vの中間電圧である1.5Vに設定されている。このような論理しきい値は、たとえばNチャネルMOSトランジスタ122のサイズをPチャネルMOSトランジスタ121の4~6倍にすることによって実現される。

【0013】なお、この入力論理回路12の出力信号Voはインバータ131、132および133を介して内部へ与えられる。

【0014】〔従来例2〕図22は一般的なCMOSインバータを示す回路図である。図22を参照して、このインバータ14は、PチャネルMOSトランジスタ141およびNチャネルMOSトランジスタ142を備える。これらトランジスタ141および142は、電源100およびグランド102の間に直列に接続される。

【0015】このインバータ14によれば、入力信号ViがLレベル(0V)の場合、トランジスタ141がオンになり、トランジスタ142がオフになるので、出力信号VoはHレベル(Vcc)になる。一方、入力信号ViがHレベルの場合、トランジスタ141がオフになり、トランジスタ142がオンになるので、出力信号VoはLレベルになる。

【0016】

【発明が解決しようとする課題】〔従来例1〕図21は図20に示した入力論理回路12による出力電圧Voの電源電圧Vcc依存性を示すグラフで、縦軸に出力電圧Voを示し、横軸に入力電圧Viを示す。

【0017】このグラフから明らかなように、電源電圧Vccが5.0Vの場合、入力論理回路12の論理しきい値は1.50Vになる。したがって、入力電圧Viが1.50Vよりも低いとき出力電圧Voは5.0Vになり、入力電圧Viが1.50Vよりも高いとき出力電圧Voは0Vになる。

【0018】しかしながら、電源電圧Vccは常に5.0Vではなく、4.5~5.5Vの間で変動することがある。

【0019】電源電圧Vccが4.5Vの場合、入力論理回路12の論理しきい値は1.45Vになる。したがって、入力電圧Viが1.45Vよりも低いとき出力電圧Voは4.5Vになり、入力電圧Viが1.45Vよりも高いとき出力電圧Voは0Vになる。

【0020】また、電源電圧Vccが5.5Vの場合、入力論理回路12の論理しきい値は1.55Vになる。し

たがって、入力電圧 V_i が1.55Vよりも低いとき出力電圧 V_o は5.5Vになり、入力電圧 V_i が1.55Vよりも高いとき出力電圧 V_o は0Vになる。

【0021】このように、入力論理回路12の論理しきい値が電源電圧 V_{cc} に依存するのは、PチャネルMOSトランジスタ121のゲートソース間電圧 V_{gs} が電源電圧 V_{cc} の変動に伴って同様に変動するからである。

【0022】特に、電源電圧 V_{cc} が4.5Vの場合は、出力信号 V_o の立上がり時間が長くなり、動作速度が遅くなるという問題があった。さらに、このような入力論理回路12を用いたSRAMにおいては、アクセス時間が遅くなるという問題があった。

【0023】〔従来例2〕図23は図22に示したCMOSインバータ14の動作を示すタイミングチャートである。

【0024】図23を参照して、入力信号 V_i がHレベルからLレベルへ立下がると、出力信号 V_o はLレベルからHレベルへ立上がる。しかしながら、入力信号 V_i がLレベルにあるときに電源電圧 V_{cc} にノイズNが入ると、出力信号 V_o にもノイズNが入るという問題があった。これは、入力信号 V_i がLレベルの場合はPチャネルMOSトランジスタ141がオンで、電源電圧 V_{cc} がそのトランジスタ141を介してそのまま出力されるからである。そのため、出力信号 V_o を受ける次段の回路が誤動作を起こしやすくなるという問題があった。

【0025】この発明は上記のような問題を解決するためになされたものであり、その目的は論理回路の電源電圧依存性を小さくすることである。

【0026】また、この発明の他の目的は、論理回路の動作速度を向上させることである。また、この発明のさらに他の目的は、論理回路が電源電圧ノイズから受ける影響を小さくすることである。

【0027】

【課題を解決するための手段】この第1の発明は、第1および第2の電源から供給される互いに異なる2種類の電圧をもとに、外部から入力端子を介して受けた信号の論理レベルに応答して、所定の論理レベルにある信号を出力端子を介して内部へ与える論理回路であって、第1導電チャネル型電界効果トランジスタと、第2導電チャネル型電界効果トランジスタと、定電圧手段と、電圧補償手段とを備える。

【0028】第1導電チャネル型電界効果トランジスタは、入力端子に接続されるゲート端子、一方導通端子、および出力端子に接続される他方導通端子を持つ。第2の導電チャネル型電界効果トランジスタは、入力端子に接続されるゲート端子、第2の電源に接続される一方導通端子、および出力端子に接続される他方導通端子を持つ。

【0029】定電圧手段は、第1の電源から供給される電圧の変動に依存することなく、第1導電チャネル型電

界効果トランジスタの一方導通端子へ一定電圧を供給する。電圧補償手段は、第1導電チャネル型電界効果トランジスタの他方導通端子のところに一定電圧が生成されたときだけ、その電圧レベルを第1の電源から供給される電圧レベルまでシフトする。

【0030】また、上記論理回路において、上記定電圧手段は、バイポーラトランジスタと、電流源手段とを含み、かつバイポーラトランジスタのエミッタ端子のところに生成された電圧を一定電圧として第1導電チャネル型電界効果型トランジスタの一方導通端子へ供給する。

【0031】バイポーラトランジスタは、一定の基準電圧を受けるベース端子、第1の電源に接続されるコレクタ端子、および第1導電チャネル型電界効果トランジスタの一方導通端子に接続されるエミッタ端子を持つ。電流源手段は、バイポーラトランジスタにエミッタ電流を供給する。

【0032】一方、この第2の発明は、第1および第2の電源から供給される互いに異なる2種類の電圧をもとに、1または2以上の入力信号を受け、所定の出力信号を生成する論理回路であって、論理演算手段と、第1導電チャネル型電界効果トランジスタと、定電圧手段とを備える。

【0033】論理演算手段は、第1の電源端子、および第2の電源に接続される第2の電源端子を含み、かつ第1および第2の電源端子から供給される電圧をもとに、1または2以上の入力信号を論理演算し、その結果を出力信号として出力する。第1導電チャネル型電界効果トランジスタは、ゲート端子、前記論理演算手段の第1の電源端子に接続される一方導通端子、および第1の電源に接続される他方導通端子を持つ。定電圧手段は、第1の電源から供給される電圧の変動に依存することなく、第1導電チャネル型電界効果トランジスタのゲート端子へ一定電圧を供給する。

【0034】また、上記論理回路において、上記定電圧手段は、抵抗手段と、容量手段とを含む。抵抗手段は、第1の電源および第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される。容量手段は、第2の電源および第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される。

【0035】また、第1および第2の電源から供給される互いに異なる2種類の電圧をもとに、1または2以上の入力信号を受け、所定の出力信号を生成する論理回路であって、論理演算手段と、第1導電チャネル型電界効果トランジスタと、第1の定電圧手段と、第2の導電チャネル型電界効果トランジスタと、第2の定電圧手段とを備える。

【0036】論理演算手段は、第1の電源端子、および第2の電源端子を含み、かつ第1および第2の電源端子から供給される電圧をもとに、1または2以上の入力信号を論理演算し、その結果を出力信号として出力する。

【0037】第1導電チャネル型電界効果トランジスタは、ゲート端子、論理演算手段の第1の電源端子に接続される一方導通端子、および第1の電源に接続される他方導通端子を持つ。第1の定電圧手段は、第1の電源から供給される電圧の変動に依存することなく、第1導電チャネル型電界効果トランジスタのゲート端子へ一定電圧を供給する。

【0038】第2導電チャネル型電界効果トランジスタは、ゲート端子、論理演算手段の第2の電源端子に接続される一方導通端子、および第2の電源に接続される他方導通端子を持つ。第2の定電圧手段は、第2の電源から供給される電圧の変動に依存することなく、第2導電チャネル型電界効果トランジスタのゲート端子へ一定電圧を供給する。

【0039】また、上記論理回路において、上記第1の定電圧手段は、第1の抵抗手段と第1の容量手段とを含む。第1の抵抗手段は、第1の電源および第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される。第1の容量手段は、第2の電源および第1導電チャネル型電界効果トランジスタのゲート端子の間に接続される。

【0040】上記第2の定電圧手段は、第2の抵抗手段と、第2の容量手段とを含む。第2の抵抗手段は、第2の電源および第2導電チャネル型電界効果トランジスタのゲート端子の間に接続される。第2の容量手段は、第1の電源および第2導電チャネル型電界効果トランジスタのゲート端子の間に接続される。

【0041】

【作用】この第1の発明に係る論理回路によれば、定電圧手段によって、第1の電源から供給される電圧の変動に依存することなく、第1導電チャネル型電界効果トランジスタの一方導通端子へ一定電圧が供給される。また、定電圧手段がバイポーラトランジスタと定電流源手段とを含む場合は、バイポーラトランジスタのゲート端子へ与えられる基準電圧よりもベース-エミッタ間の電圧だけシフトされた電圧が上記一定電圧として第1導電チャネル型電界効果トランジスタの一方導通端子へ供給される。

【0042】これにより、第1導電チャネル型電界効果トランジスタにおけるゲート端子および一方導通端子の間の電圧が第1の電源から供給される電圧に関係なく、一定になる。したがって、この論理回路の論理しきい値は、第1の電源から供給される電圧に関係なく一定になる。そのため、その出力信号の立上がりおよび立下がり時間は第1の電源から供給される電圧に関係なく一定になり、この論理回路の動作は高速になる。

【0043】なお、第1導電チャネル型電界効果トランジスタの他方導通端子のところに第1の電源から供給される電圧と異なる一定電圧が生成されることがあるが、このときは電圧補償手段によって第1の電源から供給さ

れる電圧レベルまでシフトされるので、常に正規の論理レベルにある出力信号が出力される。

【0044】また、第2の発明に係る論理回路によれば、定電圧手段によって第1の電源から供給される電圧の変動に依存することなく、第1導電チャネル型電界効果トランジスタのゲート端子へ一定電圧が供給される。定電圧手段が抵抗手段と容量手段とを含む場合は、容量手段は抵抗手段を介して第1の電源から供給される電圧によって充電される。これにより、第1導電チャネル型電界効果トランジスタのゲート端子へ第1の電源から供給される電圧が間接的に供給される。したがって、第1の電源にノイズが入った場合でも容量手段によって吸収され、第1導電チャネル型電界効果トランジスタのゲート端子へは常に一定電圧が供給される。

【0045】これにより、論理演算手段の第1の電源端子へは上記一定電圧よりも第1導電チャネル型電界効果トランジスタのしきい値電圧だけシフトされた電圧が供給される。その結果、論理演算手段の出力信号にはノイズが入らず、この出力信号が与えられる次段の回路は誤動作を起こしにくくなる。

【0046】さらに、論理演算手段の第2の電源端子および第2の電源の間にも第2導電チャネル型電界効果トランジスタが接続され、そのゲート端子へたとえば抵抗手段および容量手段などから構成される定電圧手段によってそのゲート端子へ一定電圧が供給される場合は、第1の電源にノイズが入った場合だけでなく、第2の電源にノイズが入った場合も同様にそのノイズは吸収され、出力信号にはノイズが入らない。

【0047】

【実施例】次に、この発明に従った論理回路の実施例について図面を参照して詳しく説明する。

【0048】〔実施例1〕図1はこの発明の第1実施例による入力論理回路を示す回路図である。

【0049】図1を参照して、この入力論理回路15は、PチャネルMOSトランジスタ151およびNチャネルMOSトランジスタ152と、NPNバイポーラトランジスタ153と、電流源154と、PチャネルMOSトランジスタ155と、インバータ156とを備える。

【0050】PチャネルMOSトランジスタ151およびNチャネルMOSトランジスタ152はCMOSインバータを構成する。これらトランジスタ151および152のゲート端子はともに、この入力論理回路15の入力端子157に接続される。また、これらトランジスタ151および152のドレイン端子はともに、この入力論理回路15の出力端子158に接続される。さらに、トランジスタ152のソース端子はグラウンド102（第2の電源）に接続される。

【0051】バイポーラトランジスタ153のベース端子は、電源電圧 V_{cc} に依存しない一定の基準電圧 V_{REF}

を受ける。また、バイポーラトランジスタ153のコレクタ端子は電源100（第1の電源）に接続され、エミッタ端子は電流源154を介してグラウンド102に接続されるとともに、トランジスタ151のソース端子に接続される。

【0052】このバイポーラトランジスタ153には電流源154によって所定のエミッタ電流が流れるので、そのエミッタ端子には基準電圧 V_{REF} よりもベース-エミッタ間電圧 V_{BE} だけ低い電圧が供給される。したがって、このバイポーラトランジスタ153および電流源154は、電源100から供給される電圧 V_{CC} の変動に依存することなく、トランジスタ151のソース端子へ一定電圧 $V_{REF} - V_{BE}$ を供給する定電圧手段を構成する。

【0053】また、PチャネルMOSトランジスタ155は電源100および出力端子158の間に接続され、そのゲート端子はインバータ156を介して出力端子158に接続される。したがって、このトランジスタ155およびインバータ156は、出力端子158に生成された電圧レベルを $V_{REF} - V_{BE}$ から V_{CC} まで引上げる電圧補償手段を構成する。

【0054】図2は図1に示した電流源154のいくつかの具体的構成を示す回路図である。

【0055】たとえば図2（a）を参照して、この電流源154は、NPNバイポーラトランジスタ154aと、抵抗154bとを備える。このトランジスタ154aのゲート端子には、電源電圧 V_{CC} に依存しない一定電圧が供給される。

【0056】また図2（b）を参照して、この電流源154は、NチャネルMOSトランジスタ154cを備える。このトランジスタ154cのゲート端子には、電源電圧 V_{CC} に依存しない一定電圧が供給される。

【0057】また図2（c）を参照して、この電流源154は、NチャネルMOSトランジスタ154dを備える。このトランジスタ154dのゲート端子には、電源電圧 V_{CC} が供給される。

【0058】また図2（d）を参照して、この電流源154は、抵抗154eを備える。上記図2（a）および（b）に示した電流源154によれば、バイポーラトランジスタ153に一定のエミッタ電流が供給される。また、上記図2（c）および（d）に示した電流源154によれば、バイポーラトランジスタ153に所定の電流が供給される。このように、電流源154は一定電流を供給するものが望ましいが、特に一定電流を供給するものに限定されない。

【0059】次に、この入力論理回路15の動作について説明する。この入力論理回路15は、外部から与えられたTTLレベルの入力信号 V_i をCMOSレベルに変換し、それを内部へ与えるTTLインターフェースとして機能する。したがって、一般に電源電圧 V_{CC} は5Vに設定され、グラウンド電圧は0Vに設定される。

【0060】入力信号 V_i としてHレベル（2.2～3.0V）が入力端子157に与えられると、PチャネルMOSトランジスタ151はオフになり、NチャネルMOSトランジスタ152はオンになる。これにより、出力端子158はグラウンドレベルになる。したがって、出力信号 V_o としてHレベル（0V）が出力される。

【0061】このとき、出力信号 V_o はインバータ156を介してトランジスタ155のゲート端子へ与えられるので、トランジスタ155はオフになっている。

【0062】一方、入力信号 V_i としてLレベル（0～0.8V）が与えられると、PチャネルMOSトランジスタ151はオンになり、NチャネルMOSトランジスタ152はオフになる。これにより、出力端子158にはトランジスタ151のソース端子の電圧レベルが供給される。

【0063】トランジスタ153には電流源154によって所定の電流（好ましくは一定の電流）が流れるので、トランジスタ153のエミッタ端子にはベース端子に与えられた一定の基準電圧 V_{REF} よりもベース-エミッタ間電圧 V_{BE} だけ低い電圧が発生する。たとえば基準電圧 V_{REF} として4Vが与えられた場合、ベース-エミッタ間電圧 V_{BE} は常に一定の0.8Vであるから、エミッタ端子には3.2Vが発生する。

【0064】したがって、出力端子158にはこの電圧 $V_{REF} - V_{BE}$ （たとえば3.2V）が供給される。また、この電圧 $V_{REF} - V_{BE}$ はインバータ156を介してトランジスタ155のゲート端子に与えられるので、このトランジスタ155はオンになる。これにより、出力端子158の電圧は電源電圧 V_{CC} まで引上げられる。このような結果、出力信号 V_o として最終的にHレベル（5V）が出力される。

【0065】このように、入力論理回路15はトランジスタ151のソース端子に電源電圧 V_{CC} に依存しない一定電圧を供給するように構成されているので、その論理しきい値は電源電圧 V_{CC} によらず一定になる。したがって、この入力論理回路15は電源電圧 V_{CC} が変動しても常に安定して動作するので、高速動作が可能である。そのため、この入力論理回路15をSRAMのアドレスバッファ2または4の入力段に用いた場合は、アクセス時間の電源電圧依存性が低減され、高速動作が可能になる。

【0066】また、電源電圧 V_{CC} よりも低い電圧 $V_{REF} - V_{BE}$ をトランジスタ151のソース端子に供給しているので、出力端子158にはまずその電圧 $V_{REF} - V_{BE}$ が供給される。しかしながら、トランジスタ155およびインバータ156から構成される電圧補償手段によってその電圧レベルが電源電圧 V_{CC} レベルまで引上げられるので、Hレベルとして5Vが供給され、CMOSレベルとして問題になることはない。

【0067】また、この入力論理回路15はバイポーラ

トランジスタ153を備え、そのベース端子に与えられた基準電圧 V_{REF} に基づいてそれよりもベース-エミッタ間電圧 V_{BE} だけ低い電圧をトランジスタ151のソース端子に与えているので、基準電圧 V_{REF} を発生する基準電圧発生回路からこの入力論理回路15へ流込む電流は、直接一定電圧をトランジスタ151のソース端子に与える場合に比べて $1/h_{FE}$ 程度まで低減される。ここで、 h_{FE} はバイポーラトランジスタ153の電流増幅率（約100）である。そのため、一定電圧をトランジスタ151のソース端子に直接与えた場合のように、その与えた一定電圧が過渡的に変動するようなことはない。

【0068】なお、この入力論理回路15はSRAMにおけるアドレスバッファの入力初段だけでなく、TTLインターフェースを備えた回路であれば、DRAM、ROM、ゲートアレイ、マイクロコンピュータなど、いかなるものにも使用することができる。

【0069】図3は図1に示したトランジスタ153のベース端子に供給される基準電圧 V_{REF} を発生する基準電圧発生回路の一例を示す回路図である。

【0070】図3を参照して、この基準電圧発生回路は、バンドギャップリファレンス回路16およびカレントミラー回路17を備える。

【0071】バンドギャップリファレンス回路16は、

$$V_{CC} = R_1 I_1 + V_{BE2} + R_2 I_2 + V_{BE1} \quad \dots (2)$$

また、電源電圧 V_{CC} とグラウンド電圧との電位差（ V_{CC} ）は、抵抗 R_1 にかかる電圧と、トランジスタ Q_4 のベース-エミッタ間電圧 V_{BE4} と、抵抗 R_4 にかかる電圧

$$V_{CC} = R_1 I_1 + V_{BE4} + R_4 I_4 + V_{BE5} \quad \dots (3)$$

式（2）および（3）より、抵抗 R_4 にかかる電圧は次式で表される。

$$R_4 I_4 = V_{BE1} + V_{BE2} + R_2 I_2 - V_{BE4} - V_{BE5} \quad \dots (4)$$

式（4）を式（1）に代入すると、一定電圧 V_{CS} は次式で表される。

$$V_{CS} = V_{BE1} + V_{BE2} - V_{BE4} + R_2 I_2 \quad \dots (5)$$

さらに、トランジスタ Q_5 のベース-エミッタ間電圧 V_{BE5} は、トランジスタ Q_3 のベース-エミッタ間電圧 V_{BE3} と、抵抗 R_3 にかかる電圧との和であるから、次式で表される。

【0079】

$$V_{BE5} = V_{BE3} + R_3 I_3 \quad \dots (6)$$

トランジスタ Q_1 および Q_3 の各ベース電流は電流 I_2

$$R_2 I_2 \doteq R_2 I_3 = (V_{BE5} - V_{BE3}) R_2 / R_3 \quad \dots (8)$$

式（8）を式（5）に代入すると、一定電圧 V_{CS} は次式で表される。

$$V_{CS} = V_{BE1} + V_{BE2} - V_{BE4} + (V_{BE5} - V_{BE3}) R_2 / R_3 \quad \dots (9)$$

電源電圧 V_{CC} の変動によって各電流 I_1 ないし I_4 も変動するが、これら電流 I_1 ないし I_4 によるベース-エミッタ間電圧 V_{BE} の変動は非常に小さいので、式（9）より電圧 V_{CS} は電源電圧 V_{CC} の変動に関係なく、常に一定である。

バイポーラトランジスタ Q_1 ないし Q_5 と、抵抗 R_1 ないし R_4 とを備え、トランジスタを構成するシリコンのバンドギャップに基づいて一定電圧 V_{CS} （1.2～1.3V）を発生する。

【0072】ここで、抵抗 R_1 ないし R_4 に流れる電流をそれぞれ I_1 ないし I_4 とし、トランジスタ Q_1 ないし Q_5 におけるベース-エミッタ間電圧をそれぞれ V_{BE1} ないし V_{BE5} とする。また、トランジスタ Q_1 ないし Q_5 の電流増幅率は十分に大きいので、それぞれのベース電流は無視する。

【0073】このバンドギャップリファレンス回路16によって発生される電圧 V_{CS} は、トランジスタ Q_5 のベース-エミッタ間電圧 V_{BE5} と抵抗 R_4 にかかる電圧との和であるから、次式で表される。

【0074】

$$V_{CS} = V_{BE5} + R_4 I_4 \quad \dots (1)$$

一方、電源電圧 V_{CC} とグラウンド電圧との電位差（ V_{CC} ）は、抵抗 R_1 にかかる電圧と、トランジスタ Q_2 のベース-エミッタ間電圧 V_{BE2} と、抵抗 R_2 にかかる電圧と、トランジスタ Q_1 のベース-エミッタ間電圧 V_{BE1} との和であるから、次式で表される。

【0075】

と、トランジスタ Q_5 のベース-エミッタ間電圧 V_{BE5} との和であるから、次式で表される。

【0076】

$$\dots (3)$$

【0077】

【0078】

および I_3 に比べて十分小さく無視できるので、電流 I_2 および I_3 の間には次式が成立する。

【0080】

$$I_2 \doteq I_3 \quad \dots (7)$$

式（6）および（7）より、抵抗 R_2 にかかる電圧は次式で表される。

【0081】

$$\dots (8)$$

【0082】

【0083】一方、カレントミラー回路17は、PチャネルMOSトランジスタ P_1 および P_2 と、NチャネルMOSトランジスタ N_1 と、バイポーラトランジスタ Q_6 と、抵抗 R_5 とを備え、バンドギャップリファレンス回路16から供給された電圧 V_{CS} を増幅し、一定の基準

電圧 V_{REF} を発生する。

【0084】トランジスタ Q_6 のベース端子には電源電圧 V_{cc} の変動に関係なく常に一定の電圧 V_{cs} が供給されるので、トランジスタ P_1 および Q_6 の各々には一定の電流 I_5 が流れる。また、トランジスタ P_1 および P_2 はカレントミラーを構成しているため、トランジスタ P_2 および N_1 の各々にも一定の電流 I_6 が流れる。したがって、このカレントミラー回路17からは電源電圧 V_{cc} の変動に関係なく常に一定の基準電圧 V_{REF} （たとえば4V）が供給される。

【0085】なお、この基準電圧発生回路ではバンドギャップリファレンス回路16によって発生される電圧 V_{cs} が比較的小さいため、これをカレントミラー回路17によって増幅して基準電圧 V_{REF} を得ているが、一定電圧 V_{cs} として十分に高い電圧が得られるものであれば、直接その電圧 V_{cs} を上記入力論理回路15を構成するバイポーラトランジスタ153のベース端子に供給してもよい。

【0086】〔実施例2〕図4はこの発明の第2実施例による入力論理回路を示す回路図である。

【0087】図4を参照して、この入力論理回路18は、PチャネルMOSトランジスタ181およびNチャネルMOSトランジスタ182と、PNPバイポーラトランジスタ183と、電流源184と、NチャネルMOSトランジスタ185と、インバータ186とを備える。トランジスタ181および182はCMOSインバータを構成する。トランジスタ183および電流源184は、グラウンド102（第1の電源）から供給される電圧の変動に依存することなく、トランジスタ182のソース端子へ一定電圧を供給する定電圧手段を構成する。さらに、トランジスタ185およびインバータ186は、出力端子188に生成された電圧レベルをグラウンド102の電圧レベルまで引下げる電圧補償手段を構成する。

【0088】この入力論理回路18は、上記第1実施例による入力論理回路15における電源およびグラウンドを逆にして構成したもので、グラウンド電圧の変動に関係なく、常に安定した出力信号 V_o が出力される。そのため、この入力論理回路18は高速で動作する。

【0089】〔実施例3〕図5は、この発明の第3実施例による論理回路を示す回路図である。

【0090】図5を参照して、この入力論理回路20は、エンハンスメント型PチャネルMOSトランジスタ201およびNチャネルMOSトランジスタ202と、デプレッション型NチャネルMOSトランジスタ203と、抵抗204と、容量205とを備える。トランジスタ201および202は論理演算手段であるCMOSインバータを構成し、入力信号 V_i を論理反転し、その結果を出力信号 V_o として出力する。

【0091】また、トランジスタ203はほぼ0Vのし

きい値電圧 V_{thN} を有するデプレッション型で、そのドレイン端子は電源100（第1の電源）に接続され、そのソース端子はインバータを構成するトランジスタ201のソース端子（第1の電源端子）に接続される。さらに、そのゲート端子および電源100の間には非常に大きい値（たとえば $\sim 10^{12}\Omega$ ）を有する抵抗204が接続され、そのゲート端子およびグラウンド102（第2の電源）の間には容量205が接続される。抵抗204および205は、電源電圧 V_{cc} の変動に依存することなく、トランジスタ203のゲート端子へ一定電圧を供給する定電圧手段を構成する。

【0092】なお、インバータを構成するトランジスタ202のゲート端子（第2の電源端子）はグラウンド102に接続される。

【0093】次に、この第3実施例による論理回路20の動作について説明する。まず定常状態において、容量205は十分に充電されているので、トランジスタ203のゲート端子へは電源電圧 V_{cc} が供給される。このトランジスタ203はソースフォロアにされているので、そのソース端子にはゲート電圧 V_{cc} よりもしきい値電圧 V_{thN} だけ低い電圧 $V_{cc}-V_{thN}$ が生成される。このしきい値電圧 V_{thN} はほぼ0Vであるから、トランジスタ203のソース端子にはほぼ電源電圧 V_{cc} が供給される。

【0094】このような状態で、入力信号 V_i としてHレベルが与えられると、トランジスタ201はオフになり、トランジスタ202はオンになる。これにより、出力信号 V_o はLレベルになる。

【0095】一方、入力信号 V_i としてLレベルが与えられると、トランジスタ201がオンになり、トランジスタ202がオフになる。これにより、トランジスタ203のソース端子に生成される電圧 V_{cc} がトランジスタ201のソース端子を介してそのドレイン端子に供給される。

【0096】このとき電源100にスパイク性のノイズが入ったとしても、トランジスタ203のゲート端子には抵抗204および容量205が接続されているので、ノイズはこれらにより吸収される。したがって、トランジスタ203のゲート端子へ供給される電圧 V_{cc} にはノイズは入らない。この電圧 V_{cc} はトランジスタ203および201を介して出力されるので、出力信号 V_o にもノイズは入らない。そのため、この論理回路20の出力信号 V_o が与えられる次段の回路が誤動作を起こすことはない。

【0097】なお、この論理回路20はSRAMにおけるインバータ回路だけでなく、DRAM、ROM、ゲートアレイ、マイクロコンピュータなど、すべてのCMOS論理回路に適用することができる。

【0098】〔実施例4〕図6は、この発明の第4実施例による論理回路を示す回路図である。

【0099】図6を参照して、この論理回路22は、エンハンスメント型PチャネルMOSトランジスタ221およびNチャネルMOSトランジスタ222と、デプレッション型NチャネルMOSトランジスタ223と、抵抗224と、容量225とを備える。この論理回路22が上記第3実施例による論理回路20と異なるところは、デプレッション型トランジスタ203のしきい値電圧 V_{thn} が0Vでなく、非常に小さい値になっている点である。

【0100】この論理回路22によれば、出力信号 V_o のHレベルは $V_{cc}-V_{thn}$ になるが、その他の動作は上記第3実施例による論理回路20の動作と同様である。

【0101】このように、インバータの電源側に接続されるトランジスタのしきい値電圧 V_{thn} は0Vであるのが望ましいが、非常に小さい値であれば特に支障はない。

【0102】〔実施例5〕図7は、この発明の第5実施例による論理回路を示す回路図である。

【0103】図7を参照して、この論理回路24は、エンハンスメント型PチャネルMOSトランジスタ241およびPチャネルMOSトランジスタ242と、エンハンスメント型NチャネルMOSトランジスタ243と、抵抗244と、容量245とを備える。

【0104】この論理回路24が上記第3および第4実施例による論理回路20および22と異なるところは、トランジスタ243がエンハンスメント型であり、かつ非常に小さいしきい値電圧 V_{thn} を有する点である。

【0105】この論理回路24において、出力信号 V_o のHレベルは $V_{cc}-V_{thn}$ になるが、上記と同様にそのしきい値電圧 V_{thn} が非常に小さければ支障はない。

【0106】〔実施例6〕図8は、この発明の第6実施例による論理回路を示す回路図である。

【0107】図8を参照して、この論理回路26は、エンハンスメント型PチャネルMOSトランジスタ261およびNチャネルMOSトランジスタ262と、デプレッション型NチャネルMOSトランジスタ263と、PチャネルMOSトランジスタ264と、容量265とを備える。

【0108】この論理回路26が上記第3実施例による論理回路20と異なるところは、抵抗204に代えてトランジスタ264が接続されている点である。このトランジスタ264のゲート端子にはグラウンド電圧が与えられているので、このトランジスタ264は常にオンになっている。したがって、キャパシタ265はこのトランジスタ264の導通抵抗を介して電源100に接続される。一般に、トランジスタの導通抵抗は上記抵抗204の値($\sim 10^{12}$)よりも小さいため、電源を投入した後、直ちに容量265が充電され、デプレッション型トランジスタ263は直ちにオンになる。その他の動作は上記第3実施例による論理回路20の動作と同様である。

る。

【0109】この実施例から明らかなように、トランジスタのゲート端子および電源の間に接続される抵抗としてトランジスタの導通抵抗を利用してもよい。

【0110】〔実施例7〕図9は、この発明の第7実施例による論理回路を示す回路図である。

【0111】図9を参照して、この論理回路28は、エンハンスメント型PチャネルMOSトランジスタ281およびNチャネルMOSトランジスタ282と、デプレッション型NチャネルMOSトランジスタ283と、PチャネルMOSトランジスタ284と、容量285とを備える。

【0112】この論理回路28が上記第4実施例による論理回路22と異なるところは、抵抗224に代えてトランジスタ284が接続されている点である。

【0113】このように、トランジスタ284の導通抵抗を抵抗として利用した場合においても、インバータの電源側に接続されるトランジスタ283として、小さいしきい値電圧 V_{thn} を有するものを用いてもよい。

【0114】〔実施例8〕図10は、この発明の第8実施例による論理回路30を示す回路図である。

【0115】図10を参照して、この論理回路30は、エンハンスメント型PチャネルMOSトランジスタ301およびNチャネルMOSトランジスタ302と、エンハンスメント型NチャネルMOSトランジスタ303と、PチャネルMOSトランジスタ304と、容量305とを備える。

【0116】この論理回路30が上記第5実施例による論理回路24と異なるところは、抵抗244に代えてトランジスタ304が接続されている点である。

【0117】このように、トランジスタ304の導通抵抗を抵抗として用いた場合においても、インバータの電源側に接続されるトランジスタ303として、エンハンスメント型で、かつしきい値電圧 V_{thn} の小さいものを用いてもよい。

【0118】〔実施例9〕図11は、この発明の第9実施例による論理回路を示す回路図である。

【0119】図11を参照して、この論理回路32は、エンハンスメント型PチャネルMOSトランジスタ321および322と、エンハンスメント型NチャネルMOSトランジスタ323および324と、デプレッション型NチャネルMOSトランジスタ325と、抵抗326と、容量327とを備える。

【0120】トランジスタ321ないし324は、第1および第2の入力信号 V_{i1} および V_{i2} の論理積を出力信号 V_o として出力する2入力NAND回路を構成する。

【0121】この論理回路32が上記第3実施例による論理回路20と異なるところは、インバータに代えてNAND回路が接続されている点である。

【0122】したがって、出力信号 V_o のHレベルは、電源100にノイズが入った場合においても、常に電源電圧 V_{cc} レベルになる。その他の動作は上記第3実施例による論理回路20と同様である。

【0123】〔実施例10〕図12は、この発明の第10実施例による論理回路を示す回路図である。

【0124】図12を参照して、この論理回路34は、エンハンスメント型PチャネルMOSトランジスタ341および342と、エンハンスメント型NチャネルMOSトランジスタ343および344と、デプレッション型NチャネルMOSトランジスタ345と、抵抗346と、容量347とを備える。

【0125】この論理回路34において、トランジスタ341ないし344は、第1および第2の入力信号 V_{i1} および V_{i2} の論理和を出力信号 V_o として出力する2入力NOR回路を構成する。

【0126】したがって、出力信号 V_o のHレベルは、電源100にノイズが入った場合においても、常に電源電圧 V_{cc} レベルになる。その他の動作は上記第3実施例による論理回路20の動作と同様である。

【0127】なお、上記第9および第10実施例においては、2入力論理演算回路を用いているが、3入力以上の論理演算回路を用いてもよい。

【0128】〔実施例11〕図13は、この発明の第11実施例による論理回路を示す回路図である。

【0129】図13を参照して、この論理回路36は、エンハンスメント型PチャネルMOSトランジスタ361およびPチャネルMOSトランジスタ362と、デプレッション型PチャネルMOSトランジスタ363と、容量364と、抵抗365とを備える。

【0130】トランジスタ361および362は論理演算手段であるインバータを構成する。また、容量364および抵抗365は、グラウンド102（第1の電源）から供給される電圧の変動に依存することなく、トランジスタ363のゲート端子へ一定電圧を供給する定電圧手段を構成する。さらに、トランジスタ363はデプレッション型で、ほぼ0Vのしきい値電圧 V_{thp} を有する。

【0131】この論理回路36が上記第3実施例による論理回路20と異なるところは、インバータの電源側ではなく、グラウンド側にトランジスタ363、容量364および抵抗365が接続されている点である。

【0132】次に、この論理回路36の動作について説明する。まず定常状態において、トランジスタ363のゲート端子にはグラウンド電圧が供給されている。このトランジスタ363はソースフォロアにされているので、そのソース端子にはゲート電圧よりもしきい値電圧 V_{thp} だけ高い電圧が供給される。このトランジスタ363のしきい値電圧 V_{thp} はほぼ0Vであるから、ソース電圧はほぼ0Vになる。

【0133】このような状態で、入力信号 V_{i1} としてL

レベルが与えられると、トランジスタ361はオンになり、トランジスタ362はオフになる。これにより、出力信号 V_o はHレベルになる。

【0134】一方、入力信号 V_{i1} としてHレベルが与えられると、トランジスタ361がオフになり、トランジスタ362がオンになる。これにより、トランジスタ362のドレイン端子には0Vが供給され、出力信号 V_o はLレベルになる。

【0135】このとき、グラウンド102にスパイク性のノイズが入った場合においても、容量364および抵抗365によってノイズが吸収されるので、常に0Vがトランジスタ362を介して出力される。そのため、この出力信号 V_o が与えられる次段の回路が誤動作を起こすことはない。

【0136】この実施例から明らかなように、トランジスタ、容量および抵抗は論理演算手段のグラウンド側に接続してもよく、この場合はグラウンドにノイズが入ったときでも、論理演算手段は常に正確な出力信号を生成する。

【0137】〔実施例12〕図14は、この発明の第12実施例による論理回路を示す回路図である。

【0138】図14を参照して、この論理回路38は、エンハンスメント型PチャネルMOSトランジスタ381および382と、エンハンスメント型NチャネルMOSトランジスタ383および384と、デプレッション型PチャネルMOSトランジスタ385と、容量386と、抵抗387とを備える。

【0139】この論理回路38が上記第11実施例による論理回路36と異なるところは、インバータに代えて2入力NAND回路が接続されている点である。また、この論理回路38は上記第9実施例による論理回路32における電源とグラウンドとを逆にしたもので、グラウンド102にノイズが入った場合においてもNAND回路は正確な出力信号 V_o を生成する。

【0140】〔実施例13〕図15は、この発明の第13実施例による論理回路を示す回路図である。

【0141】図15を参照して、この論理回路40は、エンハンスメント型PチャネルMOSトランジスタ401および402と、エンハンスメント型NチャネルMOSトランジスタ403および404と、デプレッション型PチャネルMOSトランジスタ405と、容量406と、抵抗407とを備える。

【0142】この論理回路40が上記第11および第12実施例による論理回路36および38と異なるところは、インバータおよびNAND回路に代えて2入力NOR回路が接続されている点である。

【0143】また、この論理回路40は、上記第10実施例による論理回路34の電源とグラウンドとを逆にしたもので、グラウンド102にノイズが入った場合においても、NOR回路が正確な出力信号 V_o を生成する。

【0144】なお、上記第11ないし第13実施例において、抵抗365、387、407に代えてトランジスタの導通抵抗を用いてもよい。また、上記第12および第13実施例においては、2入力論理演算回路を用いているが、3入力以上の論理演算回路を用いてもよい。

【0145】〔実施例14〕図16は、この発明の第14実施例による論理回路を示す回路図である。

【0146】図16を参照して、この論理回路42は、エンハンスメント型PチャネルMOSトランジスタ421およびNチャネルMOSトランジスタ422と、デプレッション型NチャネルMOSトランジスタ423およびPチャネルMOSトランジスタ426と、抵抗424および428と、容量425および427とを備える。

【0147】この論理回路42は、上記第3実施例による論理回路20と、第11実施例による論理回路36とを組合わせたもので、電源100およびグラウンド102の双方にノイズが含まれる場合においても、トランジスタ421および422から構成されるインバータは正確な出力信号V_oを生成する。すなわち、出力信号V_oのHレベルは電源電圧V_{cc}よりもトランジスタ423のしきい値電圧V_{thn}だけ低いV_{cc}-V_{thn}になり、出力信号V_oのLレベルはグラウンド電圧よりもトランジスタ426のしきい値電圧V_{thp}だけ高いV_{thp}になる。デプレッション型トランジスタ423および426のしきい値電圧V_{thn}およびV_{thp}はほぼ0Vであるから、出力信号V_oのHレベルはほぼV_{cc}になり、Lレベルはほぼ0Vになる。

【0148】〔実施例15〕図17は、この発明の第15実施例による論理回路を示す回路図である。

【0149】図17を参照して、この論理回路44は、エンハンスメント型PチャネルMOSトランジスタ441および442と、エンハンスメント型NチャネルMOSトランジスタ443および444と、デプレッション型NチャネルMOSトランジスタ445およびPチャネルMOSトランジスタ448と、抵抗446および450と、容量447および449とを備える。

【0150】この論理回路44が上記第14実施例による論理回路42と異なるところは、インバータに代えて、トランジスタ441ないし444から構成されるNAND回路が接続されている点である。また、この論理回路44は上記第9実施例による論理回路32と、第12実施例による論理回路38とを組合わせたもので、電源100およびグラウンド102の双方にノイズが含まれる場合においても、そのNAND回路は正確な出力信号V_oを生成する。

【0151】〔実施例16〕図18は、この発明の第16実施例による論理回路を示す回路図である。

【0152】図18を参照して、この論理回路46は、エンハンスメント型PチャネルMOSトランジスタ461および462と、エンハンスメント型NチャネルMO

Sトランジスタ463および464と、デプレッション型NチャネルMOSトランジスタ465およびPチャネルMOSトランジスタ468と、抵抗466および470と、容量467および469とを備える。

【0153】この論理回路46が上記第14および第15実施例による論理回路42および44と異なるところは、インバータおよびNAND回路に代えて、トランジスタ461ないし464から構成されるNOR回路が接続されている点である。

【0154】また、この論理回路46は上記第10実施例による論理回路34と、第13実施例による論理回路40とを組合わせたもので、電源100およびグラウンド102の双方にノイズが含まれる場合においても、そのNOR回路は正確な出力信号V_oを生成する。

【0155】なお、上記第14ないし第16実施例における抵抗424、428、446、450、466、470に代えて、トランジスタの導通抵抗を用いてもよい。さらに、上記第15および第16実施例においては2入力論理演算回路を用いたが、3入力以上の論理演算回路を用いてもよい。

【0156】

【発明の効果】請求項1に記載の発明によれば、第1導電チャネル型電界効果トランジスタの一方導通端子に一定電圧が供給されるので、第1の電源から供給される電圧が変動した場合においても、この論理回路の論理しきい値は常に一定になる。そのため、さらに高速動作が可能になる。

【0157】しかも、第1導電チャネル型電界効果トランジスタの他方導通端子のところに上記一定電圧が生成されるときは、その電圧レベルは第1の電源から供給される電圧レベルまでシフトされるので、常に正規の論理レベルにある信号を出力することができる。

【0158】また、請求項2に記載の発明によれば、バイポーラトランジスタによってそのベース端子に供給された基準電圧よりもベース-エミッタ間電圧だけ低い一定電圧が第1導電チャネル型電界効果トランジスタの一方導通端子へ供給されているので、供給された一定電圧が大きく変動することはない。

【0159】また、請求項3に記載の発明によれば、論理演算手段の第1の電源端子および第1の電源の間に接続される第1導電チャネル型電界効果トランジスタのゲート端子へ一定電圧が供給されているので、第1の電源にノイズが含まれる場合においても、論理演算手段は正確な出力信号を生成する。そのため、この出力信号が与えられる次段の回路が誤動作を起こすことはない。

【0160】また、請求項4に記載の発明によれば、上記定電圧手段が抵抗手段および容量手段から構成されるので、簡易な構成によって第1の電源に含まれるノイズを吸収することができる。

【0161】また、請求項5に記載の発明によれば、論

理演算手段の第1の電源側および第2の電源側の双方に第1導電チャネル型電界効果トランジスタおよび第2導電チャネル型電界効果トランジスタがそれぞれ接続され、そのゲート端子に一定電圧が供給されているので、第1の電源および第2の電源の双方にノイズが含まれる場合においても、論理演算手段は常に正確な出力信号を生成する。

【0162】さらに、請求項6に記載の発明によれば、第1および第2の定電圧手段は第1および第2の抵抗手段と、第1および第2の容量手段とから構成されるので、極めて簡単な構成によって第1および第2の電源の双方に含まれるノイズを吸収することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例による入力論理回路を示す回路図である。

【図2】図1に示した電流源のいくつかの具体的構成を示す回路図である。

【図3】図1に示した基準電圧を発生するための基準電圧発生回路の一例を示す回路図である。

【図4】この発明の第2実施例による入力論理回路を示す回路図である。

【図5】この発明の第3実施例による論理回路を示す回路図である。

【図6】この発明の第4実施例による論理回路を示す回路図である。

【図7】この発明の第5実施例による論理回路を示す回路図である。

【図8】この発明の第6実施例による論理回路を示す回路図である。

【図9】この発明の第7実施例による論理回路を示す回路図である。

【図10】この発明の第8実施例による論理回路を示す回路図である。

【図11】この発明の第9実施例による論理回路を示す回路図である。

【図12】この発明の第10実施例による論理回路を示す回路図である。

【図13】この発明の第11実施例による論理回路を示す回路図である。

【図14】この発明の第12実施例による論理回路を示す回路図である。

【図15】この発明の第13実施例による論理回路を示

す回路図である。

【図16】この発明の第14実施例による論理回路を示す回路図である。

【図17】この発明の第15実施例による論理回路を示す回路図である。

【図18】この発明の第16実施例による論理回路を示す回路図である。

【図19】一般的なSRAMの全体構成を示すブロック図である。

【図20】図19に示したSRAMにおけるアドレスバッファの入力論理回路などを示す回路図である。

【図21】図20に示した入力論理回路の動作を示すグラフである。

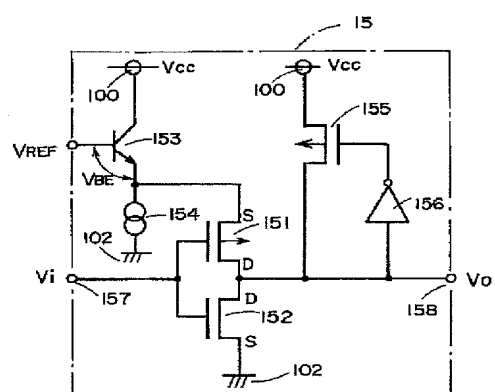
【図22】従来のCMOSインバータを示す回路図である。

【図23】図22に示したインバータの動作を示すタイミングチャートである。

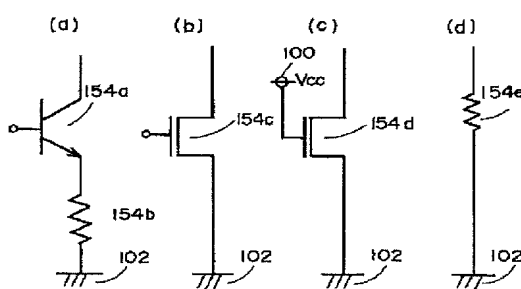
【符号の説明】

151, 181, 201, 221, 241, 261, 281, 301, 321, 322, 341, 342, 361, 381, 382, 401, 402, 421, 441, 442, 461, 462 エンハンスメント型PチャネルMOSトランジスタ
152, 182, 202, 222, 242, 243, 262, 282, 302, 303, 323, 324, 343, 344, 362, 383, 384, 403, 404, 422, 443, 444, 463, 464 エンハンスメント型NチャネルMOSトランジスタ
153, 183 バイポーラトランジスタ
154, 184 電流源
203, 223, 263, 283, 325, 345, 423, 445, 465 デプレッション型NチャネルMOSトランジスタ
363, 385, 405, 426, 448, 468 デプレッション型PチャネルMOSトランジスタ
204, 224, 244, 326, 346, 365, 387, 407, 424, 428, 446, 450, 466, 470 抵抗
205, 225, 245, 265, 285, 305, 327, 347, 364, 386, 406, 425, 427, 447, 449, 467, 469 容量

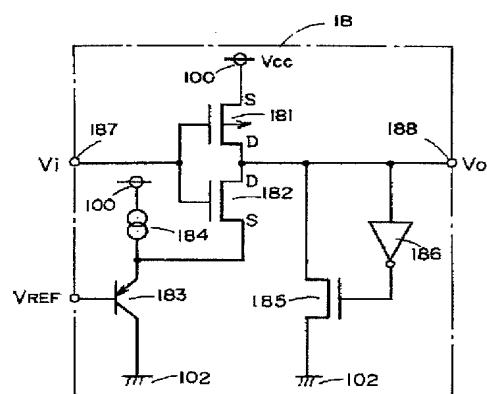
【图 1】



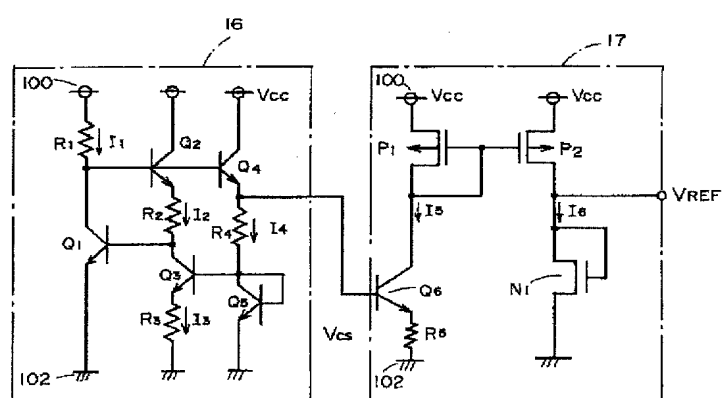
【図 2】



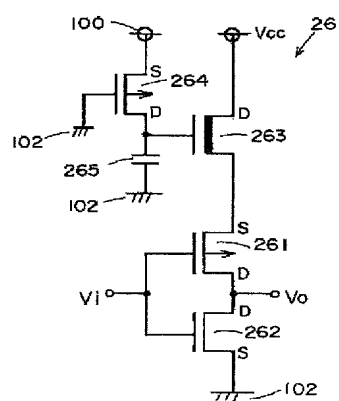
【図 4】



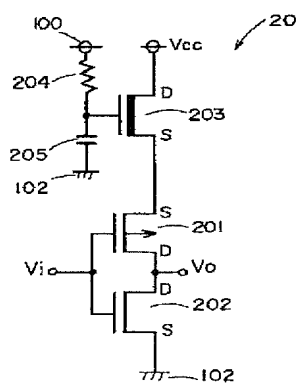
【図 3】



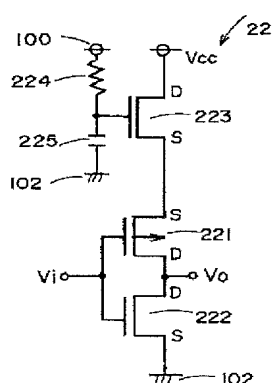
【図 8】



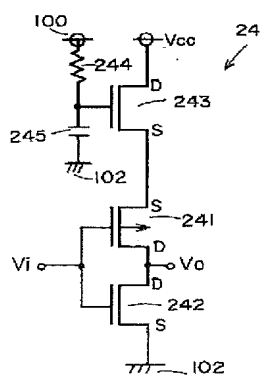
【図 5】



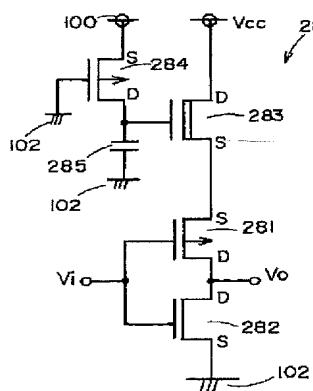
【図 6】



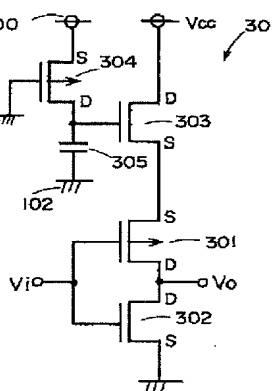
【图 7】



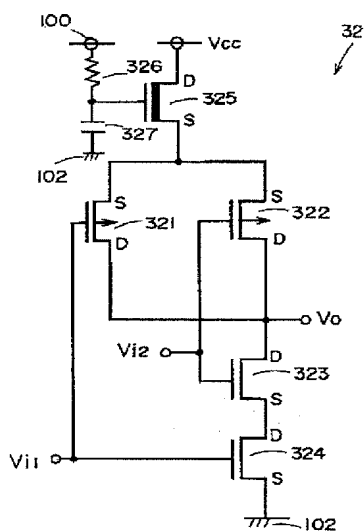
【图 9】



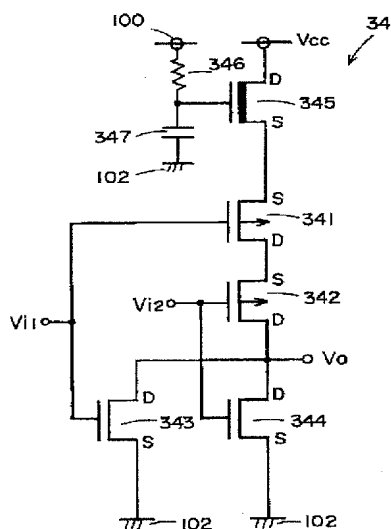
【図 10】



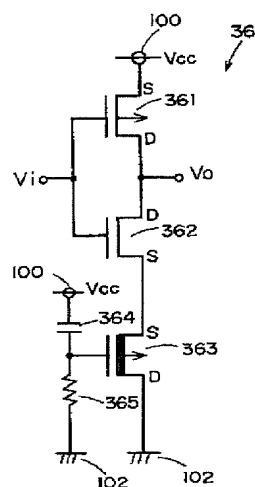
【图 1 1】



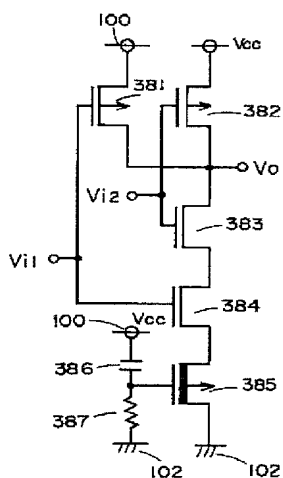
【図 1 2】



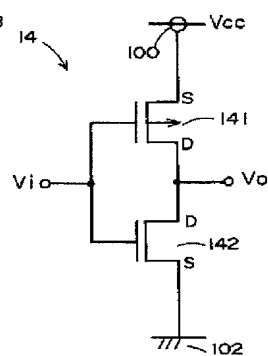
【图 13】



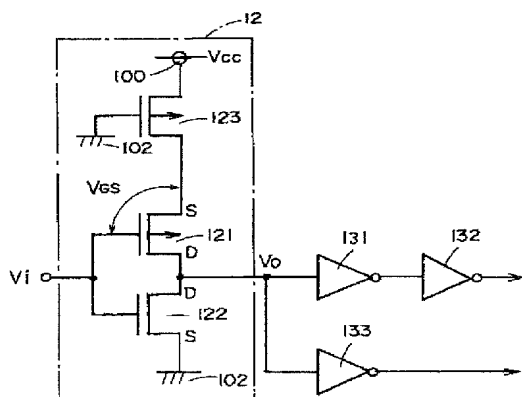
【图 1 4】



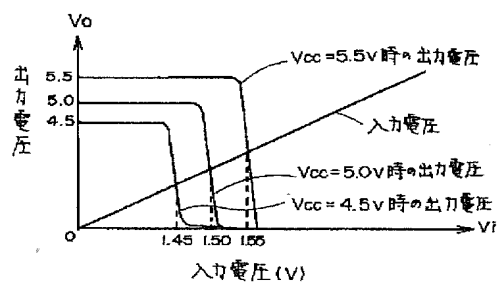
【图 2 2】



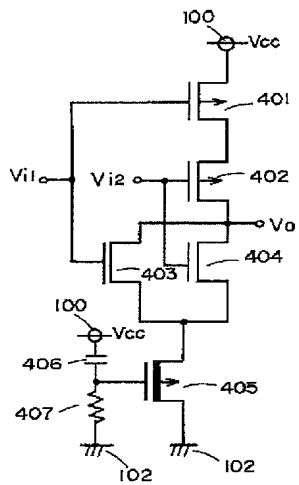
【图 20】



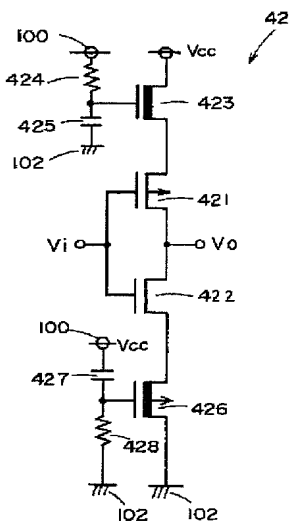
【図 2 1】



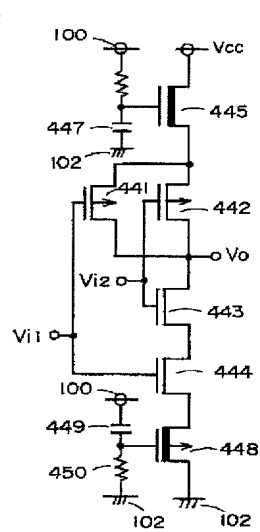
【図15】



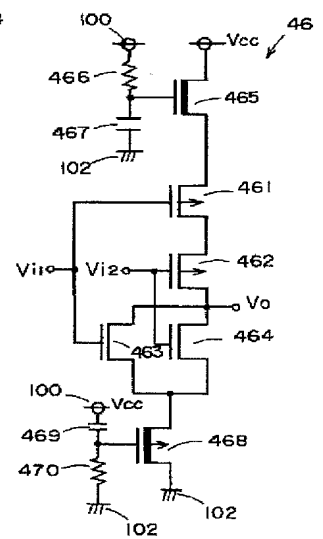
【図16】



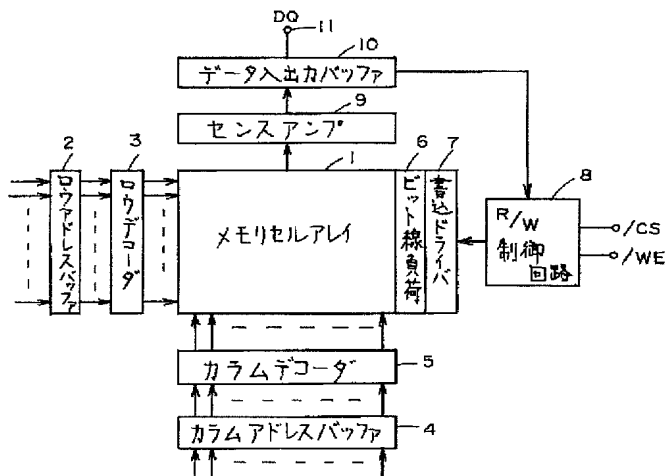
【図17】



【図18】



【図19】



【図23】

